**Intrebari teorie**

1.  Un sistem de calcul capabil să execute mai multe instrucțiuni, e alcătuit din:

* Memorie, unitate de executie, unitate de control

2.  Registrul PC din mașina IAS este:

* Un registru numarator cu incrementare, care contine adresa urmatoarei instructiuni

3.  Registrul DR are următorul rol în mașina IAS:

* DR: registru general de date, operand ALU

4.  Registrul AC are următorul rol în mașina IAS:

* AC: registru acumulator, conectat la DR
* AC: registru acumulator, operand ALU, stocheaza ultimul rezultat al lui ALU

5.  Registrul IR are următorul rol în mașina IAS:

* IR: registru instructiune, pe baza caruia se obtin prin decodificare semnalele de control
* IR: registru instructiune, preia informatia opcode a instructiunii curente de la DR

6.  Registrul AR are următorul rol în mașina IAS:

* AR: registru de adrese, preia de la PC adresa care trebuie accesata in memorie
* AR: registru de adrese, mentine stabila adresa memoriei in ciclul curent de accesare a acesteia

7.  In timpul stagiului FETCH de la masina IAS au loc urm instructiuni in ordine:

* AR<-PC; DR<-Mem[AR]; PC<-PC+1, IR<-DR[opcode];

8.  In timpul stagiului EXECUTE într-o mașina IAS, instructiunea LOAD X presupune urm actiuni in ordine:

* AR<-DR[address]; DR<-Mem[AR]; AC<-DR ;

9.  Adresarea imediată este caracterizată de:

* Incarcarea unei valori intr-un registru, ambele fiind fixe si codificate direct in hardware

10.  Adresarea directă este caracterizată de:

* Incarcarea unei valori intr-un registru; registrul este fix, valoarea poate fi oricare si se specifica in instructiune

11.  Adresarea indirectă este caracterizată de:

* Incarcarea unei valori intr-un registru; valoarea si registrul provin din memorie si sunt specificate indirect in instructiune

12.  Adresarea absolută este caracterizată de:

* Adresa specificata va fi utilizata in mod direct pentru accesul la memorie

13.  Adresarea relativă este caracterizată de:

* Adresa specificata se aduna la o alta valoare pentru a obtine adresa din memorie care va fi accesata

14.  Înlănțuirea instrucțiunilor într-un program este asigurată de:

* Registrul PC care preia adresa calculata a urmatoarei instructiuni sau o genereaza prin incrementare

15.  Adresa următoarei instrucțiuni care va fi executată poate fi generate în mod implicit:

* Cu ajutorul registrului PC prin incrementarea sau preluarea unei valori furnizate de catre ALU

16.  Adresa următoarei instrucțiuni care va fi executată poate fi generate în mod explicit:

* Prin specificarea acesteia in codul instructiunii curente, furnizat de IR

17.  Arhitectura unei unități de control cablat presupune:

* Decodificarea registrului IR, pe baza careia un automat secvential va produce semnalele de control

18.  Controlul cablat are următoarele caracteristici:

* Este inflexibil, orice schimbare presupune modificari hardware

19.  Controlul microprogramat presupune:

* Accesul unei memorii pe baza informatiei din IR si decodificarea informatiilor, fiind rezultate semnalele de control

20.  Controlul microprogramat are următoarele caracteristici:

* Prezinta flexibilitate, fiind bazat pe un program binar care poate fi modificat fara a fi afectata implementarea hardware
* Este mai degraba lent, cu costuri suboptimale desi testarea sa este greoaie

21.  Prin termenul **firmware** se înțelege:

* Microprogramul continut de memoria de control dintr-un system

22.  O tranzacție pe magistrală este realizată prin următorii pași:

* Identificarea perifericelor care solicita rolul de bus master pe magistrala, pentru a opera ulterior un transfer de date / identificarea dispozitivului partener prin trimiterea adresei si transferul de date propriu-zis

23.  Termenul split transaction se referă la:

* Impartirea tranzactiei in doua faze distincte de request si reply atunci cand pe magistrala pot exista mai multe periferice cu rol de bus master

24.  Arbitrarea pe magistrală este necesară deoarece:

* Mai multe periferice pot solicita simultan acces la aceeasi magistrala

25.  Referitor la daisy chaining se poate afirma că:

* Este o metoda de arbitrare in care semnalul bus grant se propaga prin perifericele legate in lant pana la primul periferic care solicita magistrala

26.  Referitor la polling se poate afirma că:

* Este o metoda de arbitrare in care perifericele sunt adresate secvential de catre arbitru; perifericul care solicita magistrala raspunde prin pozitionarea semnalului comun bus\_busy

27.  Referitor la independent requesting se poate afirma că:

* Este o metoda de arbitrare in care fiecare periferic este conectat la arbitru prin semnale proprii bus request si bus grant; semnalul bus busy este comun

28.  Termenul întrerupere/întreruperi se referă la:

* Un mecanism prin care dispozitivele periferice solicita servicii din partea CPU
* Un mecanism prin care CPU interogheaza succesiv dispozitivele periferice pentru a stabili daca exista vreo solicitare de servicii din partea sa

29.  În cazul întreruperilor vectorizate se poate spune că:

* Cererile de intrerupere sunt trecute printr-un registru de mascare, si ajung apoi intr-un codificator care pozitioneaza semnalul interrupt\_request si genereaza adresa rutinei de tratare a intreruperii deservite

30.  În proiectul lui Wilkes fiecare linie de ieșire din decodificator are rolul următor:

* Participa la la generarea semnalelor de control
* Participa la generarea adresei urmatoarei microinstructiuni
* Reprezinta microprogramul aflat in executie

31.  Într-o microinstrucțiune câmpul de control este:

* O reprezentare a semnalelor de control

32.  Într-o microinstrucțiune câmpul de selecție este:

* O codificare a semnelelor de selectie

33.  Arhitectura unei unități de control de tip microprogramat include:

* Un registru numit “micro program counter” care furnizeaza adresa urmatoarei instructiuni catre memoria de control

34.  În general o instrucțiune conține următoarele câmpuri:

* O zona specifica unui cod de operatie (opcode) si o zona mai generala de date/adrese

35.  În procesorul DLX, incrementarea registrului PC are loc în stagiul:

* IF

36.  În procesorul DLX, scrierea în regiștrii are loc în stagiul:

* WB

37.  Față de varianta fără pipeline, același procesor cu pipeline permite o accelerare teoretică:

* Care tinde catre numarul de stagii pipeline

38.  Atunci când o resursă hardware este expusă unor accese multiple, simultan, care nu sunt suportate, vorbim despre:

* Hazard structural

39.  Hazardul de date apare atunci când:

* Aceeasi adresa de memorie este accesata simultan de mai multe instructiuni
* Ordinea accesului la opreanzi este schimbata in pipeline

40.  Hazardul de control apare atunci când:

* In pipeline se executa o instructiune de control conditionata si nu exista inca certitudinea adresei urmatoarei instructiuni

44. Prima problema de RISC -> B) 72 (VERIFICAT PE PASI)

45. A doua de RISC -> C) 1 și 75(VERIFICAT PE PASI)

46. A treia ->  A) 5 (VERIFICAT PE PASI)